

# MIPI 系列总线介绍与测试

白皮书



MIPI 协会成立于 2003 年，最早致力于开发移动及移动相关产品的接口软硬件标准，由于其影响力和快速发展，如今每一台智能手机中都应用到不止一项 MIPI 标准。如今 MIPI 协会移动相关的接口标准更是关注

于汽车及 IOT 的应用。如下图所示，MIPI 的标准族包含了汽车中的摄像头、音视频、无线互联、车载网络、存储、传感器等等各类应用场景，并得到了各大厂商的广泛应用。

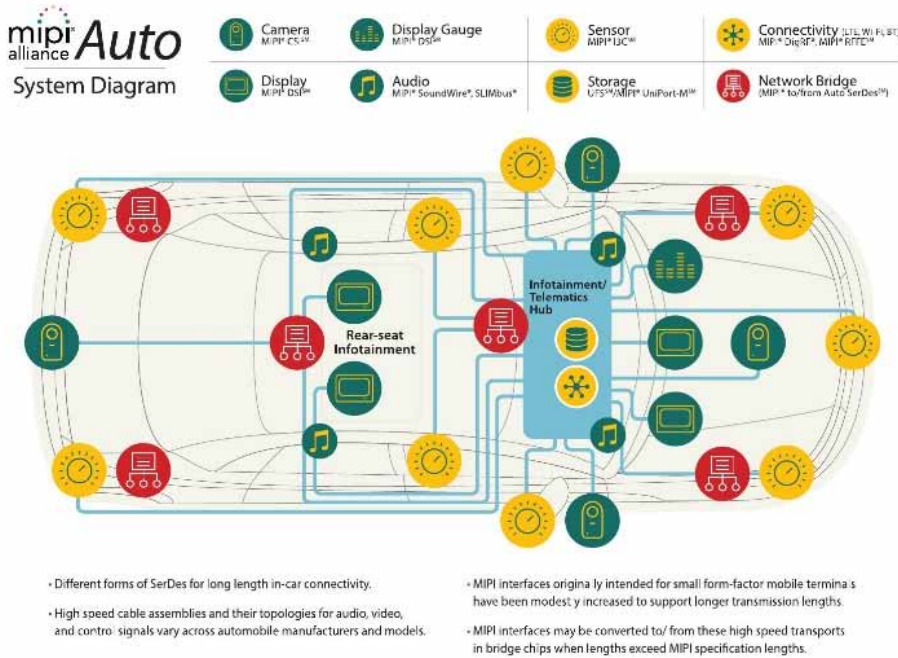


图 1. MIPI 标准族在汽车中的应用

在汽车内针对不同的多媒体接口，MIPI 标准的列表如下，比如 MIPI 的 C-PHY、D-PHY 物理层，涉及到高级辅助自动驾驶及智能座舱中存储相关的 UFS 接口

所用的 M-PHY 标准；甚至目前正在稳步推荐的汽车 SERDES 总线标准 A-PHY 等等。

### MIPI Multimedia Specifications

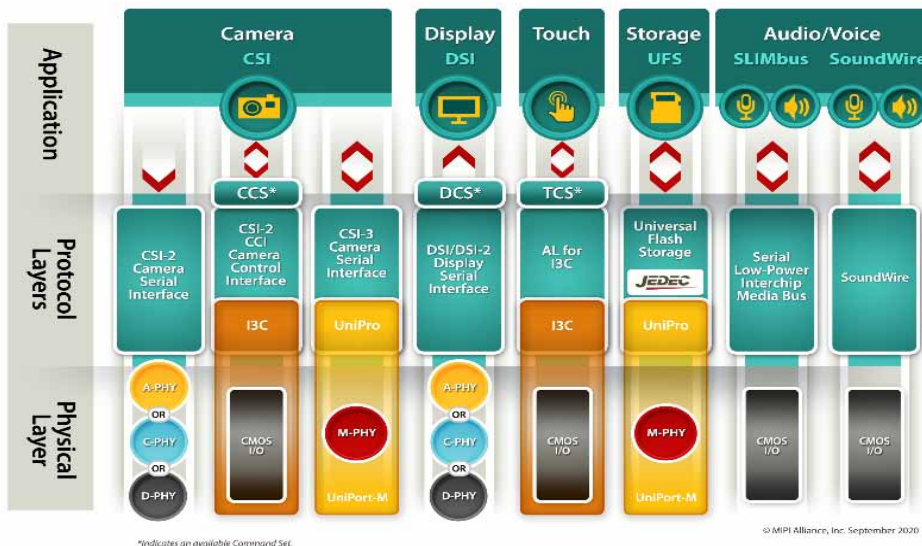


图 2. MIPI 接口标准一览

MIPI 标准族的 D-PHY、C-PHY、M-PHY、A-PHY 等物理层标准具备了丰富的信号调制格式和特征来应对车内复杂的应用场景，如下图所示，各种各样的调制方式、时钟模式以及工作模式都给工程师学习和了解这些标准，并进而进行快速准确的验证测试带来了太多的挑战。

本章将对 MIPI 的这些总线标准进行信号特征以及测试方法的分析，方便工程师更快的入手信号的测试验证。

特性	D-PHY	C-PHY	M-PHY	A-PHY
应用场景	高效、低引脚数、节能的视频流传输	高效、低引脚数、节能的视频流传输	性能驱动的数据传输，兼顾节能需求	为车载应用定制的高速标准
时钟模式	低速的反向数据传输通道 全局时钟, DDR, 源同步	低速的反向数据传输通道 无时钟/嵌入式时钟	双向高速数据传输	低线数, PAM-n调制方式 无时钟/嵌入式时钟
Min. 引脚数/线数	1 Lane Data 1 Lane Clock (共4线)	1 Lane Trio(三线架构)	每个方向至少各1 lane 最少需要2 lane(共4线)	C-Port 1线 D-Port 2线 (1差分对) Q-Port 4线 (2差分对)
Data Rate(HS)	Up to 4.5Gbps: V1.1: 1.5Gbps V1.2: 2.5Gbps V2.1/2.5: 4.5Gbps V3.0: 6/9/11Gbps (Jul.2021)	Up to 8G Symbol/s: V1.0: 2.5GSps V1.2: 4.5GSps V2.0/2.1: 4/6/8GSps	Up to 23.3Gbps: G1: 1.25/1.45Gbps G2: 2.5/2.9Gbps G3: 5.0/5.8Gbps G4: 10/11.6Gbps G5: 20/23.3Gbps	Up to 16Gbps: G1: 2Gbps G2: 4Gbps G3: 4GBaud PAM4 (8Gbps NRZ optional) G4: 4GBaud PAM8 G5: 4GBaud PAM16
BW Requirement	Up to 13GHZ: V1.1: 4GHZ V1.2: 7GHZ V2.1/2.5: 12GHZ V3.0: TBD (~25GHZ)	Up to 20GHZ: V1.0: 7GHZ V1.2: 12GHZ V2.0/2.1: 15/20GHZ	Up to 33GHZ: G1: 6GHZ G2: 12.5GHZ G3: 23GHZ G4: 25GHZ G5: 33GHZ	Up to 6GHZ (TBD): G1: 6GHZ (TBD) G2: 6GHZ (TBD)

图 3. MIPI 多个物理层规范信号特征一览

### 1.1.1 MIPI D-PHY 概览

MIPI 联盟将 D-PHY 定义为可重复使用、可扩展的用于连接各种组件的物理层，例如相机和显示器以及下一代车内智能终端的基带处理器。与许多现有接口不同，D-PHY 是独一无二的因为它可以在差分（高速）和单端（低功耗）模式实时取决于需要传输大量数据或节省电力以延长电池寿命。D-PHY 接口能够以单工或双工配置运行，具有单个数据通道或多个数据通道，可根据需要灵活的配置利用链路。此外，时钟始终是单向的（主到从）并且与数据处于正交相位。

具有捕捉或播放高清视频的能力的相机系列接口 (CSI-2) 和显示串行接口 (DSI) 是两种承载图像数据的基于数据包的高级协议，这些协议都使用 D-PHY 物理层。并且 D-PHY 标准是后向兼容，即最新的 D-PHY 标准是基于旧的 D-PHY 标准加入新的特点而制定的，所以推荐一直跟进最新的 D-PHY 标准。

### 1.1.1.1 MIPI D-PHY 信号特征

D-PHY 标准定义为源同步可扩展总线，最少由一个时钟通道和一个数据通道组成，也就是最少 4 根传输线。上图示意的是一个数据通道与一个时钟通道的信号特征。对于数据通道来说，其具备两种工作模式：高速模式 (HS mode) 以及低功耗模式 (LP mode)。

在高速模式中，数据信号通过时钟通道的双沿 (DDR 模式) 进行采集判决，高速信号的差分电压约为 200mV，而目前的数据速率达到 D-PHY 2.1 的 4.5Gbps，其包含了两种数据状态：差分的“1”以及差分的“0”。

而在低功耗模式中，这一对差分线就转变成了两根独立的单端信号，信号摆幅为 1.2V，最大的信号速率为 10Mbps，其数据状态标识为：LP-00、LP-01、LP-10 以及 LP-11，数字代表了对应的单端信号线此时的电平，而此时并不需要时钟通道进行判决，而是通过数据通道之间两个单端信号的交叉跳变获得判决时钟。

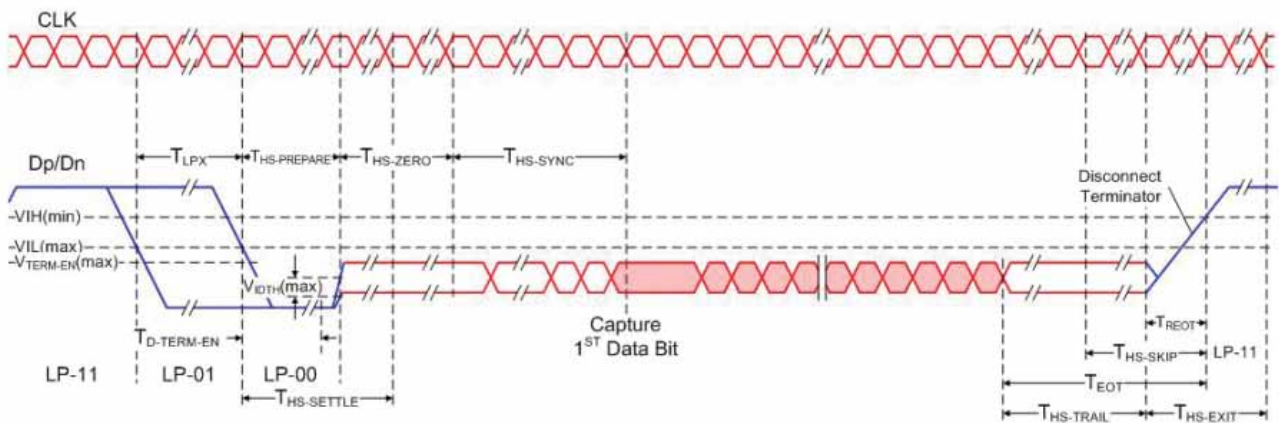


图 4. MIPI D-PHY 信号示意

具体的链路状态表示如下图所示：

**Table 2 Lane State Descriptions**

State Code	Line Voltage Levels		High-Speed	Low-Power	
	Dp-Line	Dn-Line	Burst Mode	Control Mode	Escape Mode
HS-0	HS Low	HS High	Differential-0	N/A, Note 1	N/A, Note 1
HS-1	HS High	HS Low	Differential-1	N/A, Note 1	N/A, Note 1
LP-00	LP Low	LP Low	N/A	Bridge	Space
LP-01	LP Low	LP High	N/A	HS-Rqst	Mark-0
LP-10	LP High	LP Low	N/A	LP-Rqst	Mark-1
LP-11	LP High	LP High	N/A	Stop	N/A, Note 2

图 5. MIPI D-PHY 链路状态表示

在一个完整的高速数据突发过程中，D-PHY 会从 LP 模式切换进入到 HS 高速模式进行高速数据的传输，这其中信号的幅度以及端接阻抗都会发生改变。在高速模式下，每根线的端接阻抗为 50 欧姆，而在单端

LP 模式下，每根线的端接阻抗就变成了相应的高阻。当高速模式下最后一个比特翻转持续时间超过 TEOT 时，D-PHY 链路又将切换到 LP 低功耗模式。具体的突发过程如下图所示描述：

**Table 5 High-Speed Data Transmission State Machine Description**

State	Line Condition/State	Exit State	Exit Conditions
TX-Stop	Transmit LP-11	TX-HS-Rqst	On request of Protocol for High-Speed Transmission
TX-HS-Rqst	Transmit LP-01	TX-HS-Prpr	End of timed interval $T_{LPX}$
TX-HS-Prpr	Transmit LP-00	TX-HS-Go	End of timed interval $T_{HS-PREPARE}$
TX-HS-Go	Transmit HS-0	TX-HS-Sync	End of timed interval $T_{HS-ZERO}$
TX-HS-Sync	Transmit sequence HS-00011101	TX-HS-0	After Sync sequence if first payload data bit is 0
		TX-HS-1	After Sync sequence if first payload data bit is 1
TX-HS-0	Transmit HS-0	TX-HS-0	Send another HS-0 bit after a HS-0 bit
		TX-HS-1	Send a HS-1 bit after a HS-0 bit
		Trail-HS-1	Last payload bit is HS-0, trailer sequence is HS-1
TX-HS-1	Transmit HS-1	TX-HS-0	Send a HS-1 bit after a HS-0 bit
		TX-HS-1	Send another HS-1 bit after a HS-1
		Trail-HS-0	Last payload bit is HS-1, trailer sequence is HS-0
Trail-HS-0	Transmit HS-0	TX-Stop	End of timed interval $T_{HS-TRAIL}$
Trail-HS-1	Transmit HS-1	TX-Stop	End of timed interval $T_{HS-TRAIL}$

图 6. D-PHY 高速数据传输发射机状态机描述

由于存在不停的 HS 以及 LP 模式的不断切换，其中包含了复杂的切换时序测试，如图 4 所示。

而对于时钟通道来说，也存在同样高速及低功耗模式，如下图所示：

时钟通道必须要在数据通道进入 LP 模式之后进入 LP 模式，并在数据通道进入 HS 模式之前进入 HS 模式以确保 D-PHY 的正常运行。其模式切换的方式与数据通道一致。

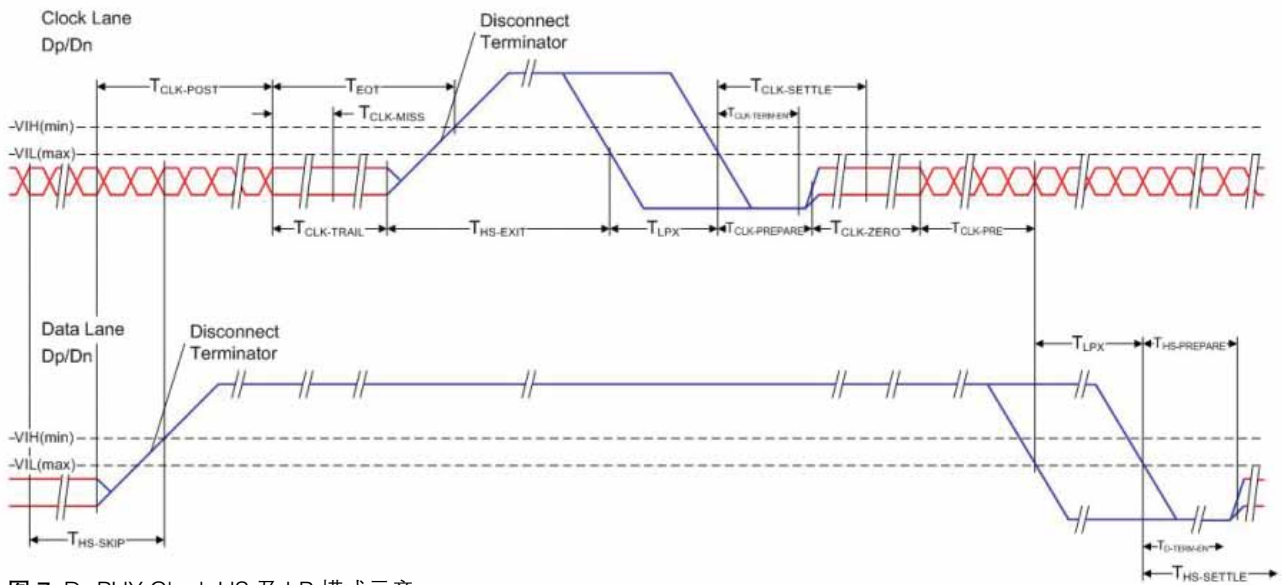


图 7. D-PHY Clock HS 及 LP 模式示意

### 1.1.1.2 MIPI D-PHY 一致性测试要求

MIPI 协会也会针对不同的 PHY 物理层标准制定一致性测试要求 (Conformance Test Suites), 旨在增加 PHY 标准的互联性, 但并没有强制的认证要求。目前

CTS 版本已经更新到 D-PHY 2.1 版本的 CTS 1.0。

在一致性测试要求中, 和发射机相关的测试列在如下列表中, 以分组的形式列出:

MIPI D-PHY2.1 CTS 1.0 发射机一致性测试要求	
1. 数据通道 LP-Tx 信令测试要求	Test 1.1.1 Data Lane LP-TX Thevenin Output High Level Voltage (VOH)
	Test 1.1.2 Data Lane LP-TX Thevenin Output Low Level Voltage (VOL)
	Test 1.1.3 Data Lane LP-TX 15%–85% Rise Time (TRLP)
	Test 1.1.4 Data Lane LP-TX 15%–85% Fall Time (TFLP)
	Test 1.1.5 Data Lane LP-TX Slew Rate vs. CLOAD ( $\delta V / \delta tSR$ )
	Test 1.1.6 Data Lane LP-TX Pulse Width of Exclusive-OR Clock (TLP-PULSE-TX)
	Test 1.1.7 Data Lane LP-TX Period of Exclusive-OR Clock (TLP-PER-TX)
2. 时钟通道 LP-Tx 信令测试要求	Test 1.2.1 Clock Lane LP-TX Thevenin Output High Level Voltage (VOH)
	Test 1.2.2 Clock Lane LP-TX Thevenin Output Low Level Voltage (VOL)
	Test 1.2.3 Clock Lane LP-TX 15%–85% Rise Time (TRLP)
	Test 1.2.4 Clock Lane LP-TX 15%–85% Fall Time (TFLP)
	Test 1.2.5 Clock Lane LP-TX Slew Rate vs. CLOAD ( $\delta V / \delta tSR$ )
3. 数据通道 HS-Tx 信令测试要求	Test 1.3.1 Data Lane HS Entry: Data Lane TLPX Value
	Test 1.3.2 Data Lane HS Entry: THS-PREPARE Value
	Test 1.3.3 Data Lane HS Entry: THS-PREPARE + THS-ZERO Value
	Test 1.3.4 Data Lane HS-TX Differential Voltages (VOD(0), VOD(1)).
	Test 1.3.5 Data Lane HS-TX Differential Voltage Mismatch ( $\Delta VOD$ )
	Test 1.3.6 Data Lane HS-TX Single-Ended Output High Voltages (VOHHS(DP), VOHHS(DN))
	Test 1.3.7 Data Lane HS-TX Static Common-Mode Voltages (VCMTX(1), VCMTX(0))
	Test 1.3.8 Data Lane HS-TX Static Common-Mode Voltage Mismatch ( $\Delta VCMTX(1,0)$ )
	Test 1.3.9 Data Lane HS-TX Dynamic Common-Level Variations Between 50 MHz – 450 MHz ( $\Delta VCMTX(LF)$ )
	Test 1.3.10 Data Lane HS-TX Dynamic Common-Level Variations Above 450 MHz ( $\Delta VCMTX(HF)$ )
	Test 1.3.11 Data Lane HS-TX 20%–80% Rise Time (tR)
	Test 1.3.12 Data Lane HS-TX 80%–20% Fall Time (tF)
	Test 1.3.13 Data Lane HS Exit: THS-TRAIL Value
	Test 1.3.14 Data Lane HS Exit: 30%–85% Post-EoT Rise Time (TREOT)
	Test 1.3.15 Data Lane HS Exit: TEOT Value
	Test 1.3.16 Data Lane HS Exit: THS-EXIT Value

<b>4. 时钟通道 HS-Tx 信令测试要求</b>	Test 1.4.1 Clock Lane HS Entry: Clock Lane TLPX Value
	Test 1.4.2 Clock Lane HS Entry: TCLK-PREPARE Value
	Test 1.4.3 Clock Lane HS Entry: TCLK-PREPARE + TCLK-ZERO Value
	Test 1.4.4 Clock Lane HS-TX Differential Voltages (VOD(0), VOD(1)).
	Test 1.4.5 Clock Lane HS-TX Differential Voltage Mismatch ( $\Delta$ VOD)
	Test 1.4.6 Clock Lane HS-TX Single-Ended Output High Voltages (VOHHS(DP), VOHHS(DN))
	Test 1.4.7 Clock Lane HS-TX Static Common-Mode Voltages (VCMTX(1), VCMTX(0))
	Test 1.4.8 Clock Lane HS-TX Static Common-Mode Voltage Mismatch ( $\Delta$ VCMTX(1,0))
	Test 1.4.9 Clock Lane HS-TX Dynamic Common-Level Variations Between 50 MHz - 450 MHz ( $\Delta$ VCMTX(LF))
	Test 1.4.10 Clock Lane HS-TX Dynamic Common-Level Variations Above 450 MHz ( $\Delta$ VCMTX(HF))
	Test 1.4.11 Clock Lane HS-TX 20%-80% Rise Time (tR)
	Test 1.4.12 Clock Lane HS-TX 80%-20% Fall Time (tF)
	Test 1.4.13 Clock Lane HS Exit: TCLK-TRAIL Value
	Test 1.4.14 Clock Lane HS Exit: 30%-85% Post-EoT Rise Time (TREET)
	Test 1.4.15 Clock Lane HS Exit: TEOT Value
	Test 1.4.16 Clock Lane HS Exit: THS-EXIT Value
	Test 1.4.17 Clock Lane HS Clock Instantaneous UI (UIINST)
	Test 1.4.18 Clock Lane HS Clock Delta UI ( $\Delta$ UI)
	Test 1.4.19 TX Spread Spectrum Clocking (SSC) Requirements
	Test 1.4.20 Clock Lane HS Clock Period Jitter
<b>5. HS-Tx 时钟与数据通道间定时要求</b>	Test 1.5.1 HS Entry: TCLK-PRE Value
	Test 1.5.2 HS Exit: TCLK-POST Value
	Test 1.5.3 HS Clock Rising Edge Alignment to First Payload Bit
	Test 1.5.4 Data-to-Clock Skew (TSKEW[TX])
	Test 1.5.5 Initial HS Skew Calibration Burst (TSKEWCAL-SYNC, TSKEWCAL)
	Test 1.5.6 Periodic HS Skew Calibration Burst (TSKEWCAL-SYNC, TSKEWCAL)
	Test 1.5.7 HS-TX Data and Clock Eye Diagram
	Test 1.5.8 Alternate Calibration Sequence (TALTCAL-SYNC, TALTCAL)
	Test 1.5.9 Preamble Sequence (TPREAMBLE, TEXTSYNC)
	Test 1.5.10 Clock and Data Lane TX HS-Idle: THS-IDLE-POST, THS-IDLE-CLKHS0, THS-IDLE-PRE Values
<b>6. LP-Tx INIT, ULPS 及 BTA 要求</b>	Test 1.6.1 INIT: LP-TX Initialization Period (TINIT,MASTER)
	Test 1.6.2 ULPS Entry: Verification of Clock Lane LP-TX ULPS support
	Test 1.6.3 ULPS Exit: Transmitted TWAKEUP Interval
	Test 1.6.4 BTA: TX-Side TTA-GO Interval Value
	Test 1.6.5 BTA: RX-Side TTA-SURE Interval Value
	Test 1.6.6 BTA: RX-Side TTA-GET Interval Value



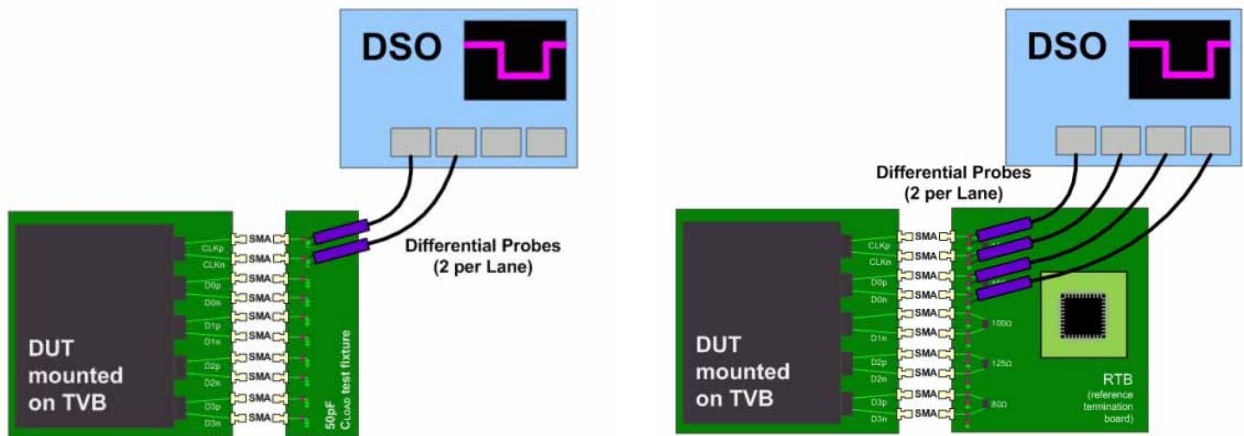


图 8. MIPI D-PHY LP 和 HS 的测试环境配置

虽然对于 D-PHY 的测试并没有强制的合规要求，但是在 CTS 规范中为了提高测试的精度和可重复性，也对待测提出了一定要求，比如：

1. 待测能够配置通过 HS-burst 发送任意的 CSI 或者 DSI 业务码流，但没有指定的测试码型要求。
2. 待测的 HS-burst 能够发出大概 20K-50K 的 HS 比特长度，并且包含足够多的跳变。
3. 待测的 HS-burst 的多个突发数据包之间必须要能回到 LP-11 状态。

在发射机测试中也定义了发射机的 LP 和 HS 的测试配置环境：

如上图所示，理想的测试环境时待测通过测试载板 (TVB) 以 SMA 的形式将信号连接至测试的端接板 (RTB)，然后通过差分探头焊接到 RTB 板上的单端信号 (比如：D+、D-、CLK+、CLK-)，利用示波器进行测试。

### 1.1.2 MIPI C-PHY 概览

C-PHY 物理层标准属于高速，带宽利用率更高的标准。与 D-PHY 的差分信号不同，它采用了三相符号的编码方式，通过在一条通道采用 3 根信号线的形式实现每个符号传输约 2.28 比特的更高信道容量。

实际上，C-PHY 沿用了 D-PHY 标准的很多内容，并且就是为了与 D-PHY 芯片的引脚共存共用设计，所以有不少芯片就具备“双模”的工作模式。C-PHY 和 D-PHY 一样，也具备 HS 和 LP 的工作模式，并且 HS 和 LP 之间的切换和 D-PHY 也非常相似。但是 C-PHY 也有独有的特性：

1. 与传统的差分线不同，一条 C-PHY 的数据通道由标记为 A、B、C 的三根线组成；
2. 每个传输的符号中，A、B、C 这三根线两个会设定到相对的电平，而第三根线会端接至中间电平；并且每个符号都会发生信号的跳变；
3. 信息传输的数据速率约为 2.28 倍的符号传输速率；
4. 时钟嵌入到数据中，由于每个符号都存在跳变，简化了时钟恢复；
5. 接收机由三个差分接收机构成，分别对应 AB、BC、CA 的差分接收；
6. C-PHY 接口与 D-PHY 接口的引脚可以共存。



图 9. MIPI C-PHY 高速信号实例

#### 1.1.2.1 MIPI C-PHY 信号特征

C-PHY 采用的 A、B、C 三根线作为一组数据通道，其高速传输的数据信号编码流程是通过将原始的发射信息以 16 比特字为一组，通过符号匹配转化为 3 比特构成的连续 7 个符号，并将 7 个符号通过编码器转化为 A、B、C 上的传输状态；而在接收端将收到的 7 个符号再反处理为 16 个接收比特。所以每个符号传输的数据信息即为 16/7，约 2.28 比特，如下图所示：

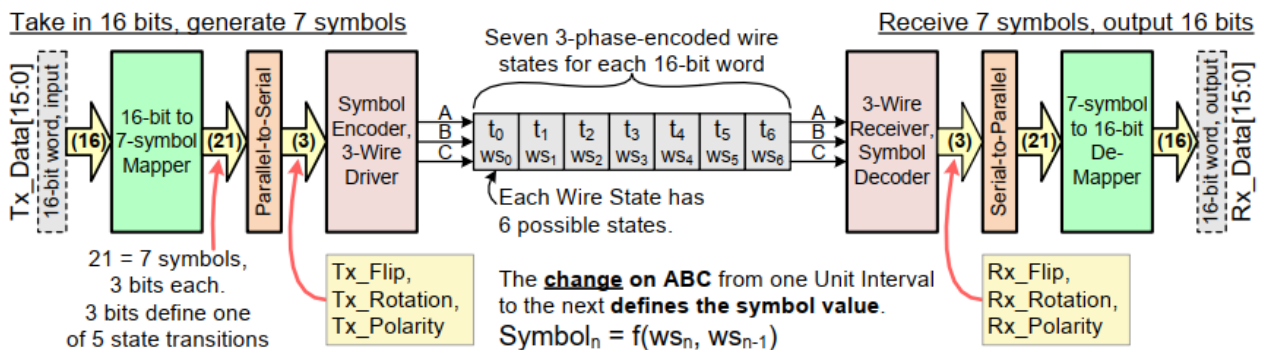


图 10. MIPI C-PHY 端到端数据传输过程

由于考虑到时钟嵌入要求的每个符号都要有跳变，3 个比特组成的 7 个符号一共只用到了 8 个状态中的 6 个，所以每一个符号的下一个跳变对应 5 个可能的符号，如下表所示：

Table 4 Five Possible Transitions from Previous State to Present State

Symbol Input Value	Previous Wire State, interval N-1						What Happens
	+x	-x	+y	-y	+z	-z	
000	+z	-z	+x	-x	+y	-y	Rotate CCW, polarity is Same
001	-z	+z	-x	+x	-y	+y	Rotate CCW, polarity is Opposite
010	+y	-y	+z	-z	+x	-x	Rotate CW, polarity is Same
011	-y	+y	-z	+z	-x	+x	Rotate CW, polarity is Opposite
1xx	-x	+x	-y	+y	-z	+z	Same phase, polarity is Opposite

图 11. MIPI C-PHY 符号状态对照

概括来说，每个符号都对应于 [+x, -x, +y, -y, +z, -z] 这个符号的状态合集里，那么编码器就会根据这些状态形成驱动 A、B、C 三根线的电压，如下表所示：

Table 5 Transmit Pre-Driver Control Logic

Wire State	VA	VB	VC	Driver PU_A	Driver PD_A	Driver PU_B	Driver PD_B	Driver PU_C	Driver PD_C
+x	3/4 V	1/4 V	1/2 V	1	0	0	1	0	0
-x	1/4 V	3/4 V	1/2 V	0	1	1	0	0	0
+y	1/2 V	3/4 V	1/4 V	0	0	1	0	0	1
-y	1/2 V	1/4 V	3/4 V	0	0	0	1	1	0
+z	1/4 V	1/2 V	3/4 V	0	1	0	0	1	0
-z	3/4 V	1/2 V	1/4 V	1	0	0	0	0	1

图 12. MIPI C-PHY 驱动逻辑对照表

由此我们可以知道，实际上 A、B、C 每根线上都存在三个电平 {3/4V, 1/2V, 1/4V}，而在接收端通过两两的差分接收，于是我们可以看到实际的发射机信号是三电平信号，而在接收判决时对应的“1”和“0”也有“强”和“弱”两种不同摆幅：

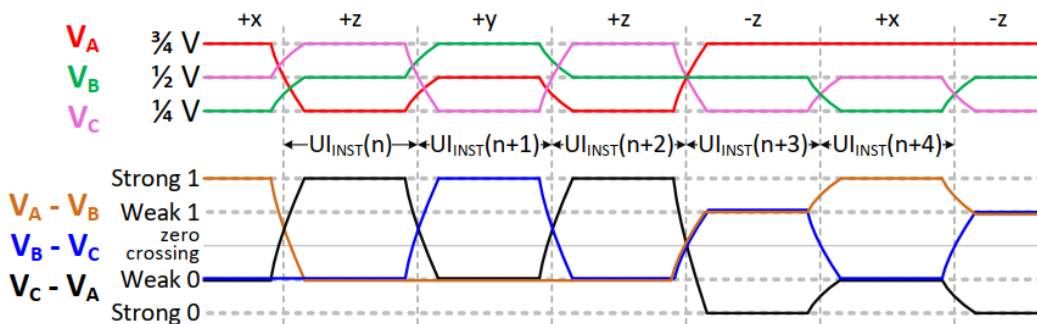


图 13. MIPI C-PHY 电气信号示意

以上介绍的是 C-PHY 的 HS 工作模式，而与 D-PHY 相似，C-PHY 通常也包含 LP 与 HS 交替的工作模式。在 LP 的工作模式下，A、B、C 三根线会单端信号来驱动，存在 4 个可能的状态，分别记为 LP-000、LP-001、LP-100 以及 LP-111，结合 HS 模式下的 6 个状态，总结下来的标识如下表：

结合这个状态标识表，对于一个完整的 C-PHY 高速数据突发包的传输包含了从 LP 状态到 HS 状态以及最后退出回到 LP 状态的过程，下图参考 MIPI C-PHY 标准给出了一个完整的过程文字和实际电气波形示例：

**Table 9 HS and LP Mode Lane State Descriptions**

State Code	Line Voltage Levels			High-Speed	Low-Power	
	A Line	B Line	C Line	Burst Mode	Control Mode	Escape Mode
HS_+X	HS High	HS Low	HS Mid	+x state	N/A, Note 1	N/A, Note 1
HS+-X	HS Low	HS High	HS Mid	-x state	N/A, Note 1	N/A, Note 1
HS_+Y	HS Mid	HS High	HS Low	+y state	N/A, Note 1	N/A, Note 1
HS_-Y	HS Mid	HS Low	HS High	-y state	N/A, Note 1	N/A, Note 1
HS_+Z	HS Low	HS Mid	HS High	+z state	N/A, Note 1	N/A, Note 1
HS_-Z	HS High	HS Mid	HS Low	-z state	N/A, Note 1	N/A, Note 1
LP-000	LP Low	LP Low	LP Low	N/A	Bridge	Space
LP-001	LP Low	LP Low	LP High	N/A	HS-Rqst	Mark-0
LP-100	LP High	LP Low	LP Low	N/A	LP-Rqst	Mark-1
LP-111	LP High	LP High	LP High	N/A	Stop	N/A, Note 2

图 14. MIPI C-PHY LP 与 HS 状态标识表

1.1.2.2 MIPI C-PHY 一致性测试要求

C-PHY 标准是后向兼容，即最新的 C-PHY 标准是基于旧的 C-PHY 标准加入新的特点而制定的，所以推荐一直跟进最新的 C-PHY 标准。当前 C-PHY 的一

致性测试标准 CTS 已经更新到 C-PHY 2.1 版本 CTS 1.0。

在一致性测试中，与发射机相关的测试以分组形式，列在如下列表中：

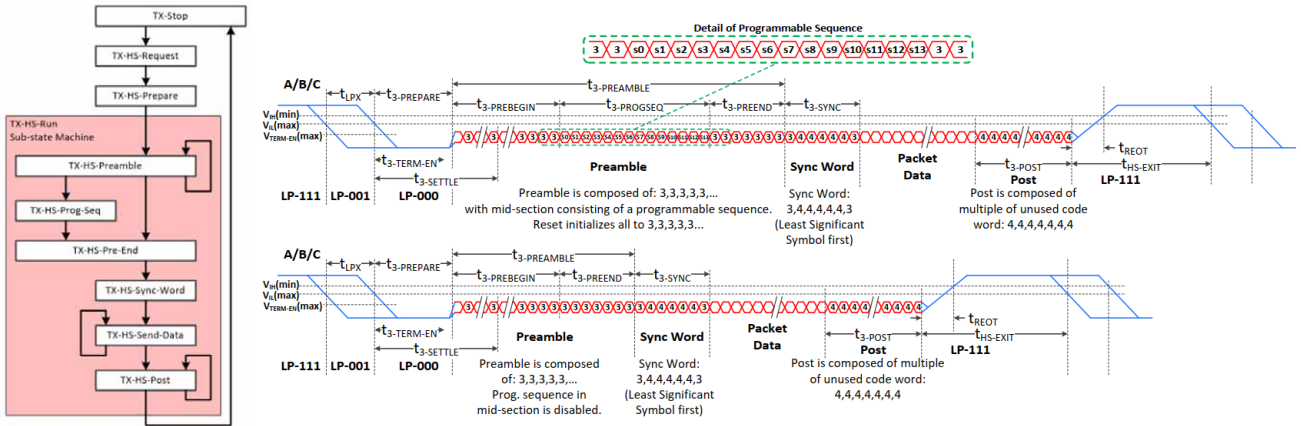


图 15. 完整的 C-PHY 高速数据突发包过程

MIPI D-PHY2.1 CTS 1.0 发射机一致性测试要求	
1. LP-TX 信令测试需求	Test 1.1.1 Thevenin Output High Level Voltage (VOH)
	Test 1.1.2 LP-TX Thevenin Output Low Level Voltage (VOL)
	Test 1.1.3 LP-TX 15%–85% Rise Time (tRLP)
	Test 1.1.4 LP-TX 15%–85% Fall Time (tFLP)
	Test 1.1.5 LP-TX Slew Rate vs. CLOAD ( $\delta V / \delta tSR$ )
	Test 1.1.6 LP-TX Pulse Width of Exclusive-OR Clock (tLP-PULSE-TX)
	Test 1.1.7 LP-TX Period of Exclusive-OR Clock (tLP-PER-TX)
	Test 1.1.8 tLP-EXIT Value
2. HS-TX 信令测试需求	Test 1.2.1 tLPX Duration
	Test 1.2.2 t3-PREPARE Duration
	Test 1.2.3 t3-PREBEGIN Duration
	Test 1.2.4 t3-PROGSEQ Duration
	Test 1.2.5 t3-PREEND Duration
	Test 1.2.6 t3-SYNC Duration
	Test 1.2.7 HS-TX Differential Voltages (VOD_AB, VOD_BC, VOD_CA)
	Test 1.2.8 HS-TX Differential Voltage Mismatch ( $\Delta VOD$ )
	Test 1.2.9 HS-TX Single-Ended Output High Voltages (VOHHS(VA), VOHHS(VB), VOHHS(VC))
	Test 1.2.10 HS-TX Static Common-Point Voltages (VCPTX)
	Test 1.2.11 HS-TX Static Common-Point Voltage Mismatch ( $\Delta VCPTX(HS)$ )
	Test 1.2.12 HS-TX Dynamic Common-Point Variations Between 50–450 MHz ( $\Delta VCPTX(LF)$ )
	Test 1.2.13 HS-TX Dynamic Common-Point Variations Above 450 MHz ( $\Delta VCPTX(HF)$ )
	Test 1.2.14 HS-TX Rise Time (tR) (OBSOLETE)
	Test 1.2.15 HS-TX Fall Time (tF) (OBSOLETE)
	Test 1.2.16 t3-POST Duration
	Test 1.2.17 30%–85% Post-EoT Rise Time (tREOT)
	Test 1.2.18 tHS-EXIT Value
	Test 1.2.19 HS Clock Instantaneous UI (UIINST)
	Test 1.2.20 HS Clock Delta UI ( $\Delta UI$ ) (OBSOLETE)
	Test 1.2.21 HS-TX Eye Diagram
	Test 1.2.22 HS-TX UI Jitter (UI_JitterPEAK_TX)
3. LP-TX INIT, ULPS, 以及 BTA 需求	Test 1.3.1 INIT: LP-TX Initialization Period (tINIT,PRIMARY)
	Test 1.3.2 ULPS Exit: Transmitted tWAKEUP Interval
	Test 1.3.3 BTA: TX-Side tTA-GO Interval Value
	Test 1.3.4 BTA: RX-Side tTA-SURE Interval Value
	Test 1.3.5 BTA: RX-Side tTA-GET Interval Value
4. HS-TX 突发信令测试需求	Test 1.4.1 HS-TX Differential Voltages Unterminated (VOD(UT)-AB, VOD(UT)-BC, VOD(UT)-CA)
	Test 1.4.2 HS-TX Differential Voltage Mismatch Unterminated ( $\Delta VOD(UT)$ )
	Test 1.4.3 HS-TX Single-Ended Output High Voltages Unterminated (VOHHS(UT)(VA), VOHHS(UT)(VB), VOHHS(UT)(VC))
	Test 1.4.4 HS-TX Static Common-Point Voltages Unterminated (VCPTX(UT))
5. HS-TX 校准前导信令需求	Test 1.5.1 – t3-CALPREAMBLE Duration (Informative)
	Test 1.5.2 – t3-ASID Duration (Informative)
	Test 1.5.3 – t3-CALALTSEQ Duration (Informative)
	Test 1.5.4 – Calibration Preamble t3-SYNC Duration (Informative)

对于发射机这部分测试要求，如上表所示，根据不同的测试类型进行了分组，对应的分组的测试环境也会略有差别，这样相对于采用一个测试环境来进行所有测试来说可以获得更精确的测试结果。根本的原因就是 LP 和 HS 信号的端接方式以及信号的幅度都有明显的差异。

具体的测试环境要求如下：

1. 待测放置在可以通过 3.5mm 同轴电缆引出的载板上进行信号输出
2. 4 通道的数字示波器，带宽应该大于 C-PHY 信号符号率的 5 次谐波（比如 2.5G 符号率最小需要 7GHz 带宽，6G 符号率最小需要 15GHz 带宽，8G 符号率最小需要 20GHz 带宽）
3. 3 根同等带宽的高阻抗、低容抗差分探头
4. 3 根 3.5mm 测试电缆
5. 1 块 MIPI CPHY 的参考端接板 (Reference Termination Board)
6. 1 块 MIPI CPHY 的 LP 容性负载 (CLOAD) 板
7. 针对上表中第 1、2、4 部分的自动化软件

### 1.1.3 泰克 MIPI D-PHY 及 C-PHY 测试解决方案

#### MIPI 信号测试难点：

1. CTS 测量项繁多：64 for D-PHY, 41 for C-PHY
2. HS 和 LP 两种完全不同的工作模式下的信号完整性和相应时序
3. 使用探头焊接的方式测量
4. 测量精度：使用可靠的算法筛选出特定波形并进行精确测量
5. 被测波形有时候很差
6. 自动检测跳变沿，测量项目
7. 最小化探头的负载效应
8. 板子密度越来越高，测试点很难焊接
9. 自动测试设置，适应 HS 和 LP 模式

#### 1.1.3.1 MIPI D-PHY DSI/CSI 解码

在实际调试工程中，工程师通常需要找到设备不正常工作的原因，不仅需要 D-PHY 物理层信号的一致性测试，还需要对 D-PHY 信号的串行触发与解码功能，下面是 D-PHY 信号的解码、同步与错误告警以及协议事件列表导出功能，为 DPHY 信号的开发与调试提供了极大的便利。

Errors/Warnings indicated in Decode waveform &Event Table



图 16. SR-DPHY DSI/CSI 解码选项

为了方便工程师远程及在自己的电脑上做分析，泰克还提供了 TekScope PC 远程控制软件，即可以同时支持从示波器上提取数据，并且还可以提供 MIPI CPHY/DPHY 的 DSI/CSI 数据解码和分析，让每个使用者可以更灵活的复用示波器，以及不同的示波器平台。



图 17. TekScope PC C-PHY 解码示意

通过 TekScope PC 的解码表还可以自动挑战放大解码的区域，并以对应的色彩显示对应的像素。同时在软件中还支持搜索功能，可以在大量的数据中表示出各类数据及具体的数据包，方便定位。

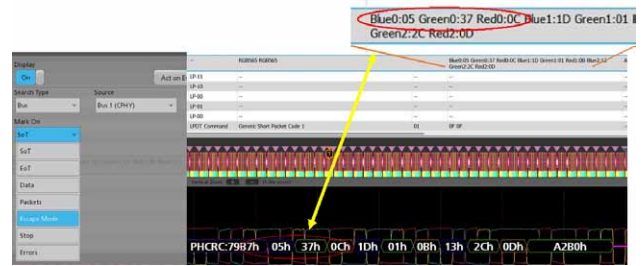


图 18. TekScope PC 解码搜索和定位

### 1.1.3.2 D-PHY/C-PHY Tx 物理层测试参考配置

针对 MIPI D-PHY 多条差分总线的测试，需要利用三根或四根探头完成对数据和时钟信号的探测，如果时钟是连续时钟，至少需要三根探头完成探测，如果时钟是 Normal 非连续时钟，需要四根探头完成测试；然后利用 D-PHY Tx 物理层一致性测试软件完成全自动化测试。

大多数情况采用左下图的连接方式。待测物是一个完整的系统，里面包含 D-PHY 的 Controller 和 Device，探头在不破坏系统工作状态的情况下，连接待测物并测量信号质量；如果被测的芯片，可能采用右下图的连接方式，芯片通过评估板来测量信号质量，只有一个 D-PHY controller 芯片和一些外围电路，通过评估板上的 SMA 接头将信号引出。需要在评估板外接一块终端板 (Termination Board) 来提供 D-PHY 的动态端接，探头连接在端接板上的测试点进行信号观测。



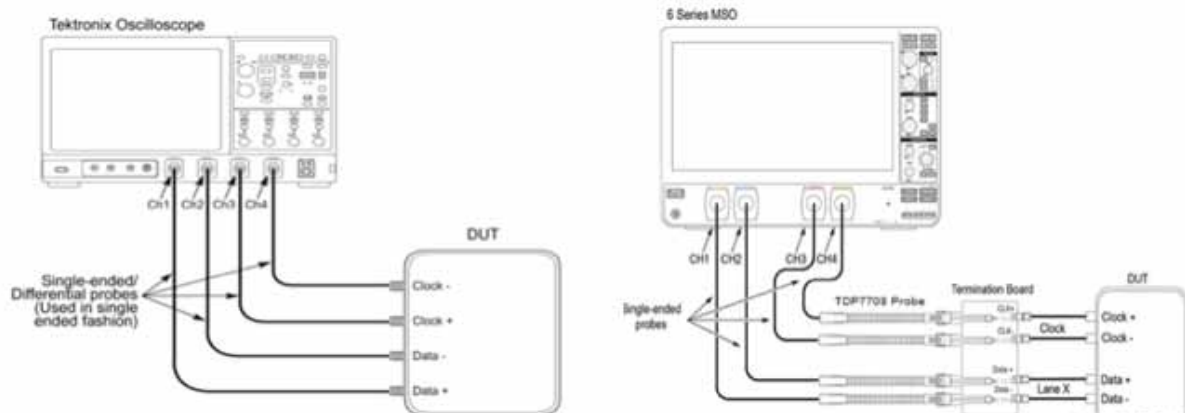


图 19. MIPI D-PHY 信号连接方式选择

### D-PHY 和 C-PHY 测试配置

Item	D-PHY
示波器带宽	建议 4GHz 带宽或以上（具体参考被测信号数据速率）DPO70kSX 或者 MSO6B 示波器
软件选件	D-PHY/C-PHY 物理层一致性测试软件、抖动眼图分析软件
探头	建议三根（连续时钟）或四根（非连续时钟）
解码软件	D-PHY 触发解码软件（根据需求选择） TekScope PC 版软件以及对应的 MIPI DPHY/CPHY 解码功能

### 1.2 MIPI M-PHY 概览

随着 ADAS 和 ADS 功能的扩展，对具有更高性能和更低功耗的存储的需求将会增长。通用闪存存储 (UFS) 是 JEDEC 固态技术协会规范，已成为车辆数据存储的理想标准。UFS 已广泛用于智能手机和平板电脑、数码相机和其他消费电子产品的存储，为闪存存储带来更高的数据传输速度和更高的可靠性。

信息娱乐和导航是高性能车载数据存储的主要驱动力。鉴于先进的联网汽车每秒可以收集超过 1 GB 的数据，将所有这些数据传输到云服务器并返回通常是低效且低效的，因此边缘的存储和计算子系统，车载系统，解决高速处理难题。随着从 ADAS 向半自动和自动驾驶的过渡，这些系统将变得更加重要，尤其是在旅途中访问的所有城市使用高清地图时。

如下图所示，UFS 主机设备通过 M-PHY 接口连接到 UFS 存储设备。M-PHY 是一种差分信号接口，可在离散的工作速率选择和多达四个通道上运行。M-PHY 也可以在没有离散参考时钟和复位信号的情况下运行，如图 32 所示，这是所需的 UFS 配置。UFS 3.0 在 M-PHY Gear 4 上运行，每个通道 11.6 Gbps，或每个方向 23.2 Gbps，最多两个通道。

UniPro 是 UFS 存储的传输协议。UniPro v1.8 最有利于汽车应用的特性之一是它能够持续监控前向和反向链路的符号错误率以及接收器性能，使其能够动态地“重新训练”通信通道。如果需要，此功能会更新链路设置，以确保链路以更高的数据速度提供相同的可靠性和服务质量 (QoS)——这两者对于汽车来说都是至关重要的，因为系统会受到环境剧烈变化，有时甚至是极端温度条件的影响。

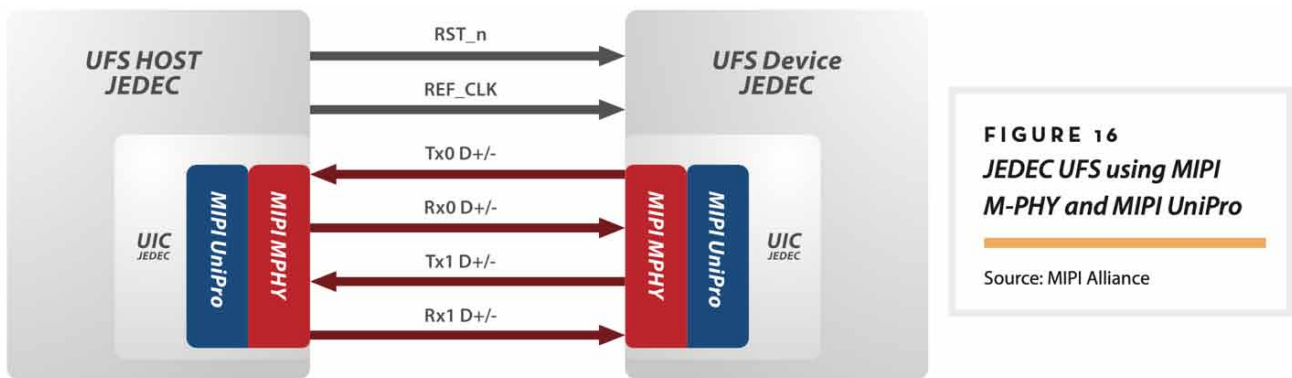


图 20. MIPI M-PHY 在车载存储上的应用

### 1.2.1 M-PHY 信号特征

M-PHY 定义了 LANE 作为单向的物理传输通道，其中包含了发射模组 M-TX、接收模组 M-RX 以及互联部分 LINE。在 LINE 接口上传输差分的电气信号。一系列的 M-TX 模组或者 M-RX 模组组成 M-PORT 的接口端口。

在一个 M-PHY 的链路 LINK 中，包含了不同传输方向的子链路 SUB-LINK 以及相应的 LANE 管理功能，其中所有同向的 LANE 可以组成子链路 SUB-LINK。值得注意的是，在不同方向传输的子链路中 LANE 的数目没有数量一定相等的要求。

下图给出了 M-PHY 架构的示意图。

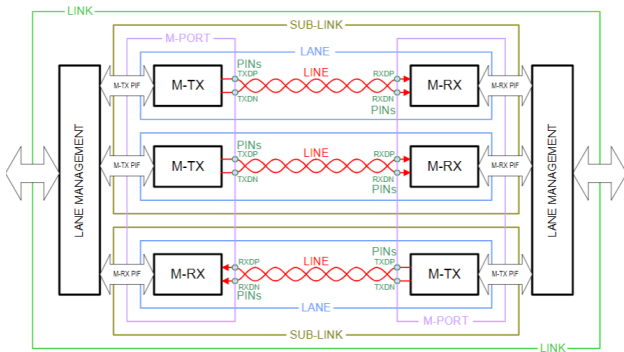


图 21. M-PHY 链路架构和定义

如上所述，在 LINE 上传输的是差分信号，其差分的正向或者负向电平标记为 DIF-P 或者 DIF-N；但在差分线上也存在有 M-RX 保持的差分零电压状态，记为 DIF-Z；而 LINE 上的电压处于浮动状态或没有模组驱动时记为 DIF-Q。在进行数据传输时，只有 DIF-P 以及 DIF-N 的状态，DIF-Z 只在上电以及省电状态下存在。这里特别注意的是 DIF-P 以及 DIF-N 定义为在交叉点在零点的差分信号，这个涉及到了 M-PHY 的一些端接特性。

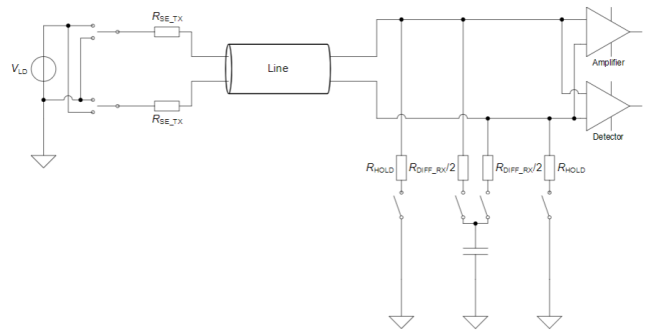


图 22. M-PHY 端接示意图

如上图所示，M-TX 发射机通过 RSE-TX 进行端接驱动，但在 SLEEP 以及 STALL 状态下也存在更高阻抗  $R_{SE-PO-TX}$ 。作为接收机则不需要一直保持端接，但在 HS-MODE 高速状态下必须端接，这点也类似与 D-PHY 及 C-PHY，具备可切换的端接形式。如果 M-RX 进行了阻抗端接那么 DIF-P 状态可以标记为  $DIF-P_{RT}$ ，否则就是  $DIF-P_{NT}$ ，对于 DIF-N 状态也是如此进行标记。

M-PHY 除了进行差分的信令传输以外，它的信令模式也包含了 NRZ 以及脉宽调制 PWM 两种模式。对于 PWM 调制模式，其特性就是自带时钟属性，因为每一个传输的符号中都包含了信号的跳变，也就是每个符号中都包含了 DIF-P 以及 DIF-N 的状态。如下图所示：

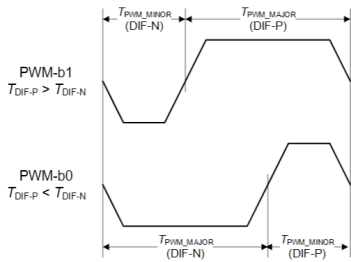


图 23. M-PHY PWM 信令模式示意

如上图所示，在一个 PWM 符号时间内，分为两段时间  $T_{PWM-MAJOR}$  以及  $T_{PWM-MINOR}$ ；一个符号代表的是比特“1”还是比特“0”，取决于 PWM 中是 DIF-P 占用的时间长还是 DIF-N 占用的时间长；如果 DIF-P 占用的时间长，则识别为比特“1”，记做 PWM-b1，反之则是比特“0”，PWM-b0。可以看到在每个 PWM 符号中都包含了一个上升沿并且时间位置受到

数据信息的调制，而每个符号都会有下降沿，体现了 PWM 信号自带时钟属性。值得注意的还有，PWM 信令也存在两种格式，分别是 FIXED-RATIO 以及 FIXED-MINOR，在 FIXED-RATIO 格式下， $T_{PWM-MAJOR}$  以及  $T_{PWM-MINOR}$  分别占用一个符号周期的 2/3 及 1/3 时间；而对于 FIXED-MINOR 格式， $T_{PWM-MINOR}$  的时间长度是固定的， $T_{PWM-MAJOR}$  则随着符号周期改变而改变。

对于 M-PHY 来说，与 D-PHY 以及 C-PHY 类似，以突发进行数据传输，包含了 HS-MODE 高速模式以及 LS-MODE 低速模式。而取决于 LS-MODE 采用什么样的信令格式，M-PHY 的模组又分为 TYPE-I 及 TYPE-II 模式，两种模式互斥：

- TYPE-I，LS-MODE 采用 PWM 信令模式，需要共享的参考时钟；
- TYPE-II，LS-MODE 采用 NRZ 信令模式，记为“SYS”模式，需要共享的参考时钟。

M-PHY 中的每个模组支持的多种以 GEAR 命名的速率，考虑到 EMI 的问题，每个 GEAR 包含了两个速率；GEAR 的速率会相对与上一个 GEAR 翻倍，并向下兼容所有 GEAR 的速率。如下表所示：

M-PHY Signal Characteristics									
Signaling mode	Datarates			Amplitudes		Impedance			
	Gears	A (Gbps)	B (Gbps)	Large	Small	Resistive Terminated	Non Terminated		
High Speed (HS)	G1	1.248	1.456	Terminated: 160–240mV, Non-Terminated: 320–480mV	Terminated: 100–130mV, Non-Terminated: 200–260mV	100 ohms	-		
	G2	2.496	2.9152						
	G3	4.992	5.8304						
	G4	9.984	11.6608						
	G5	19.968	23.3216						
PWM (ie. TYPE-I)	Gears	Min (Mb/s)	Max (Mb/s)					100 ohms	10k ohms
	G0	0.01	3						
	G1	3	9						
	G2	6	18						
	G3	12	36						
	G4	24	72						
	G5	48	144						
G6	96	288							
G7	192	576							
SYS (ie. TYPE-II)			576 (Mb/s)			100 ohms	10k ohms		

完全的工作模式和选项如下图所示：

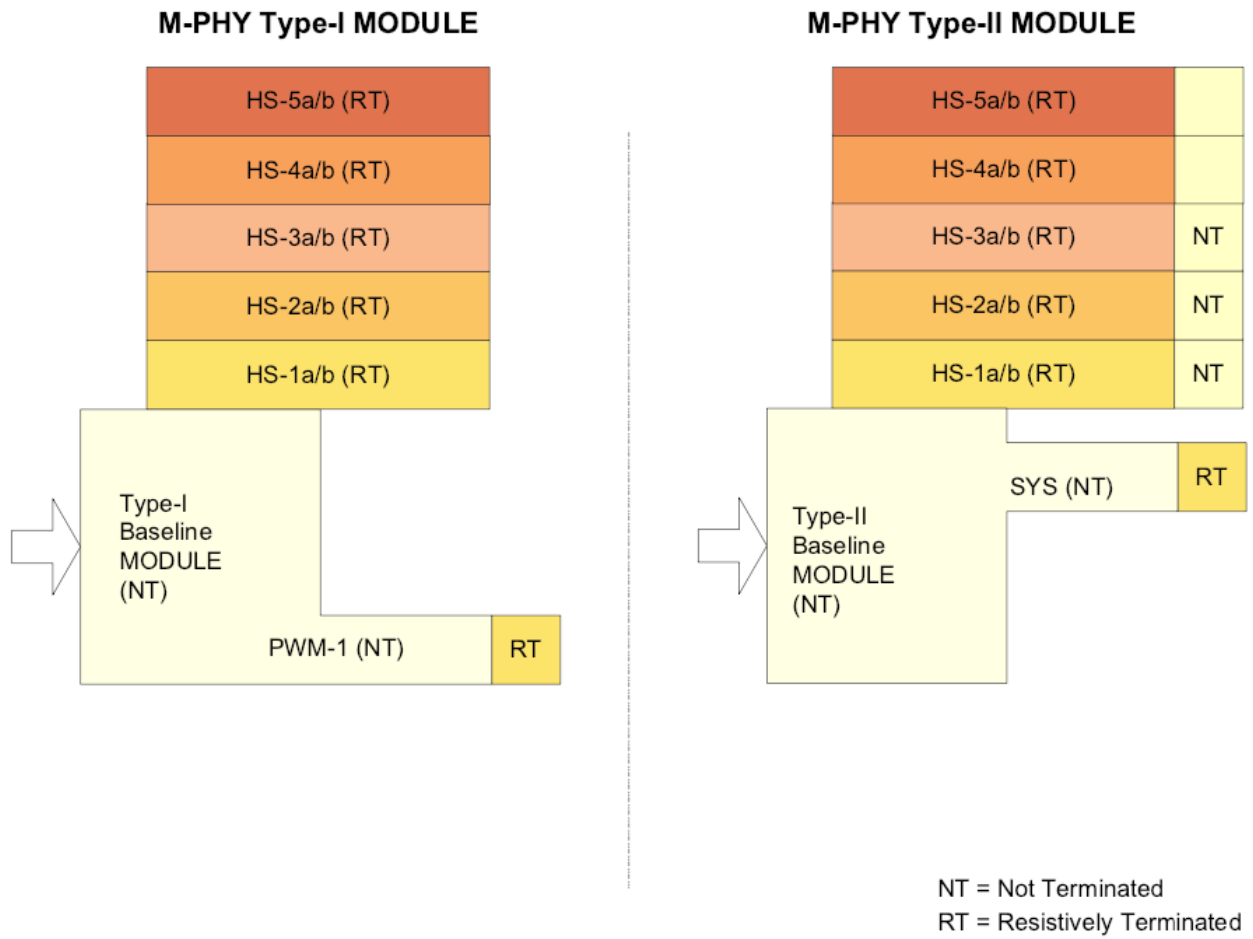


图 24. M-PHY MODULE 功能选项列表

### 1.2.2 M-PHY 状态机及突发传输

M-PHY 信号由于存在 Type-I 以及 Type-II 两种 LS-MODE，所以在状态机上有一定区别，但是在传输上都包含两种模式：HS-MODE 以及 LS-MODE；其中包含了数据传输的 BURST 状态以及不同模式的省电状态。在 HS-MODE 中的省电状态为 STALL 状态，而在 LS-MODE 中为 SLEEP 状态。因此每个模式总结起来包含如下所列的状态：

- HS-MODE: STALL, HS-BURST
- LS-MODE (Type-I MODULE): SLEEP, PWM-BURST
- LS-MODE (Type-II MODULE): SLEEP, SYS-BURST

简要的来说，M-PHY 的状态机如下图中的 Type II M-TX 的示例，实际上对于 M-PHY 的每个状态机都包含了 5 个不同的省电 (SAVE) 状态，如图中蓝色状态所示；同时状态机中也包含 LINE-REST 状态来进行特殊的状态打断；而在 HS-MODE 以及 LS-MODE 也如上所示，有自身的省电状态以及数据突发传输状态。

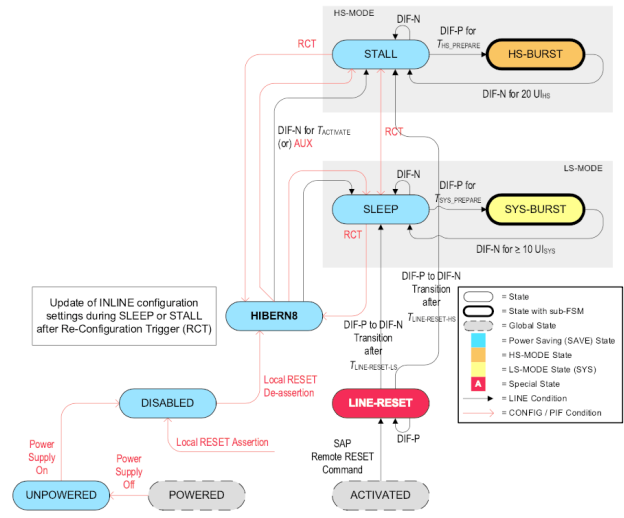


Figure 8 State Diagram for Type II M-TX

图 25. M-PHY 状态机示例 -Type-II M-TX

重点来看一个 HS 的数据突发传输如下图所示，包含了传输 DIF-N 的省电状态，然后在 HS-PREPARE 状态发出 DIF-P，然后进入 SYNC 状态进行时钟 / 比特同步，之后通过 MK0 进行符号同步并开始数据传输，在结束传输后，一系列的 0 比特或者 1 比特作为“TAIL-OF-BURST”传输，回到 STALL 的省电模式：

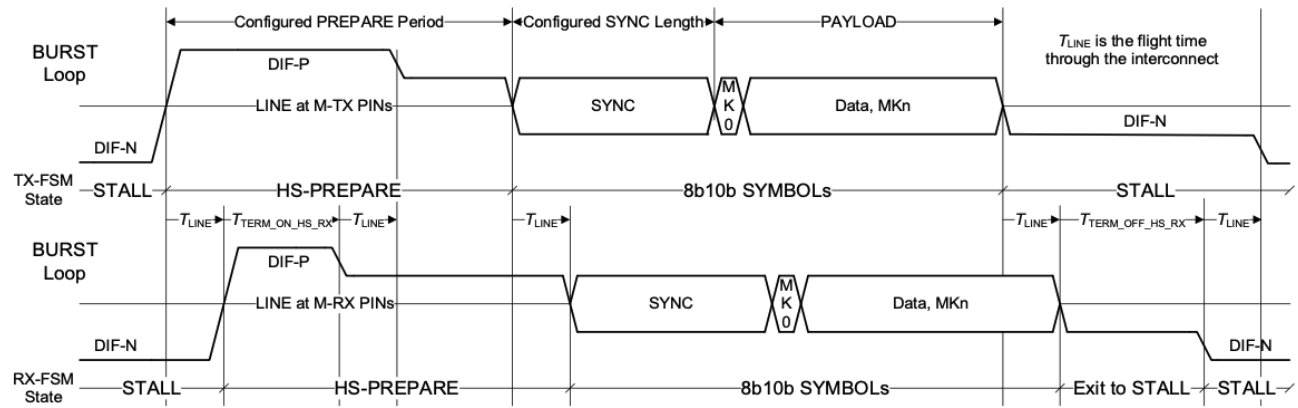


图 26. M-PHY HS BURST 工作状态

在 HS-G4 以及 HS-G5 中，假如 M-RX 支持 ADAPT 状态，那么 PREPARE 状态后也可以单独执行，来初始化 HS-BURST 的进入。ADAPT 也是从 MK0 开始，但后面跟随的不是数据，而是 8b10b 编码的 PRBS9

码型，由 M-TX 产生，重复周期为 650 比特来帮助 M-RX 对信道状态进行自适应均衡，之后与 HS-BURST 类似，以 TAIL-OF-BURST 结束，如下图所示：

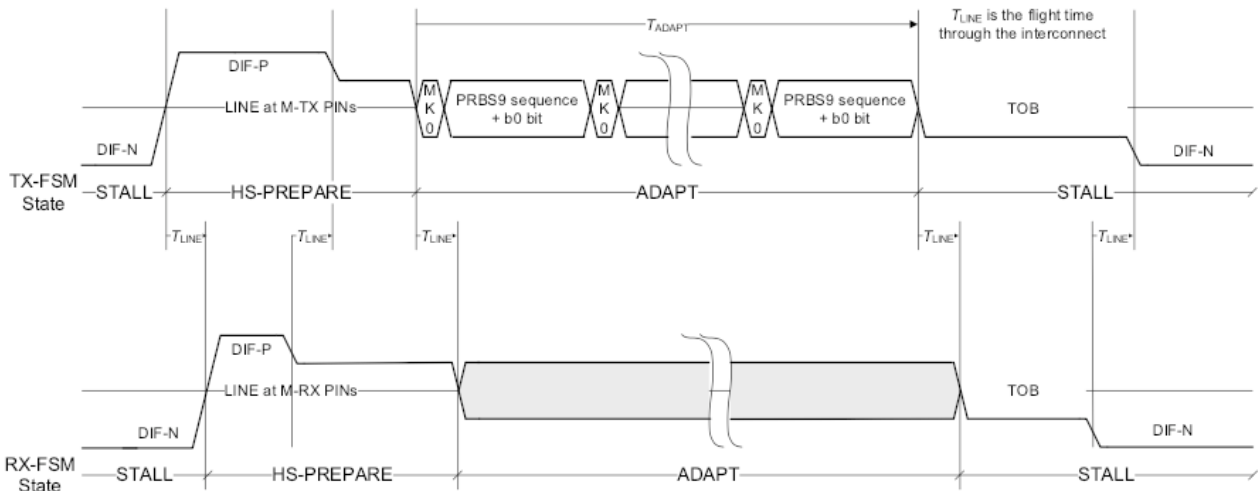


图 27. M-PHY HS-BURST 中 ADAPT 子状态过程

TAIL-OF-BURST 打破了 8b10b 的编码状态，使得传输进入到省电状态，TAIL-OF-BURST 的持续时间不小于下图所示：

Table 9 Summary of BURST Closure Conditions (TAIL-OF-BURST)

MODE	MODULE	Return to SAVE	
		LINE Condition	State
HS	M-TX	DIF-N for 20 U <sub>IHS</sub>	STALL
HS	M-RX	DIF-N for 9 to 20 U <sub>IHS</sub>	STALL
PWM	M-TX	(9 + 10*N) PWM-b0 + PWM-b1	SLEEP
PWM	M-RX	(≥ 9 PWM-b0) + PWM-b1	SLEEP
SYS	M-TX	DIF-N for ≥ 10 U <sub>I sys</sub>	SLEEP
SYS	M-RX	DIF-N for 10 U <sub>I sys</sub>	SLEEP

图 28. TAIL-OF-BURST 最小持续时间

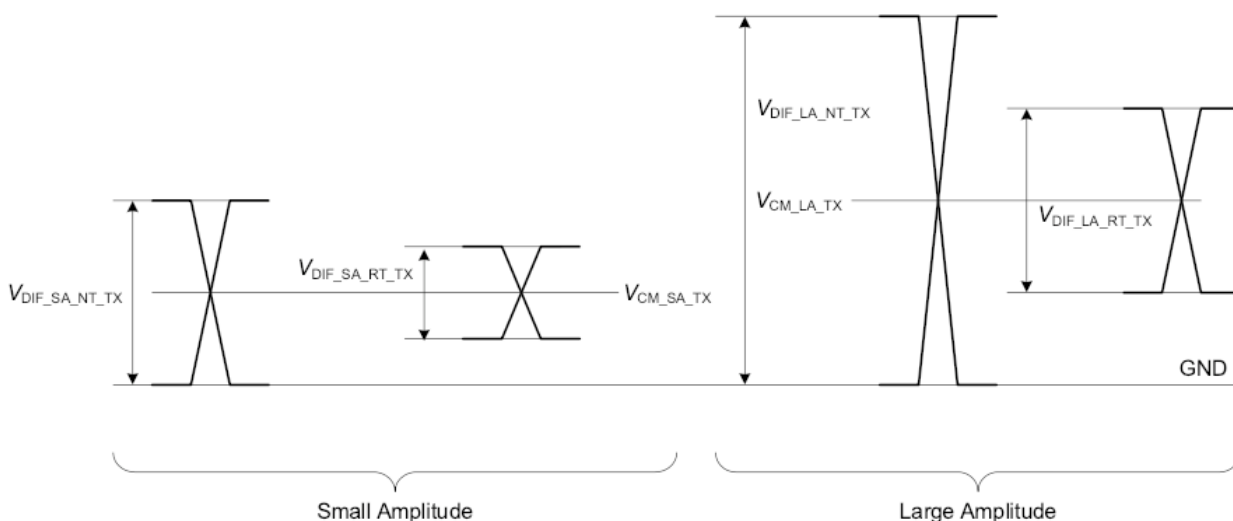


图 29. M-TX 信号电平示例

### 1.2.3 M-PHY 发射机测试要求及泰克测试解决方案

M-TX 采用了 LA 及 SA 两种差分低摆幅信号。其中低摆幅 (LA) 用于 HS-G4 及以下速率。当 M-TX 在非

端接负载时幅度会翻倍。

M-TX 以及 HS-TX 参考参数，在非端接及端接情况下如下表所示：

Table 14 M-TX and HS-TX Reference Parameters

Symbol	Values			Unit	Description
	Min.	Nom.	Max.		
<b>Reference Load</b>					
$R_{REF\_RT}$	–	100		$\Omega$	Reference load for when the M-TX is terminated.
$R_{REF\_NT}$	10	–	–	$k\Omega$	Reference load for when the M-TX is not terminated.
$Z_R$	–	100	–	$\Omega$	Reference impedance.

图 30. HS-TX 参考阻抗



M-TX 信号包含了共模电压  $V_{CM\_TX}$ ，同时也关心单端及差分的信号电平，如下图所示。

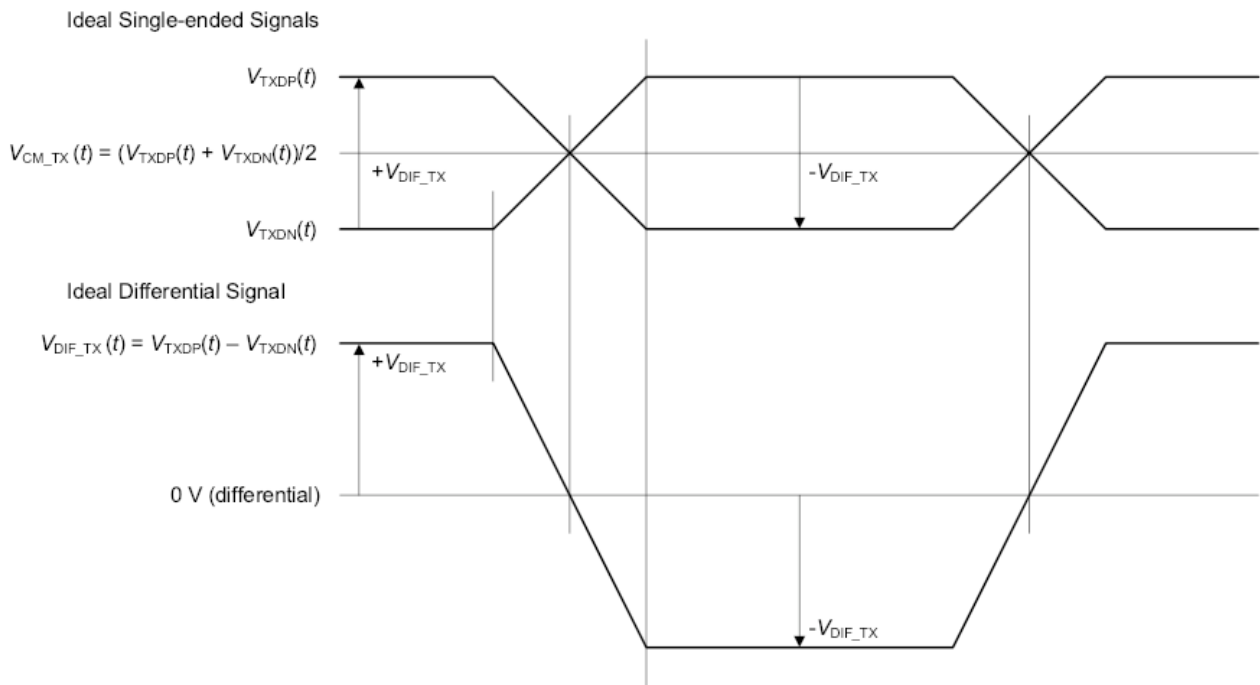


图 31. M-TX 理想单端及差分信号示例

在 M-TX 中，抖动的测量采用了双迪拉克抖动模型，关注  $10^{-12}$  误码率水平下的总体抖动。在标准中定义了时钟与数据时钟恢复的传递函数，示例的抖动传递函数及时钟恢复环路特性如下图所示：

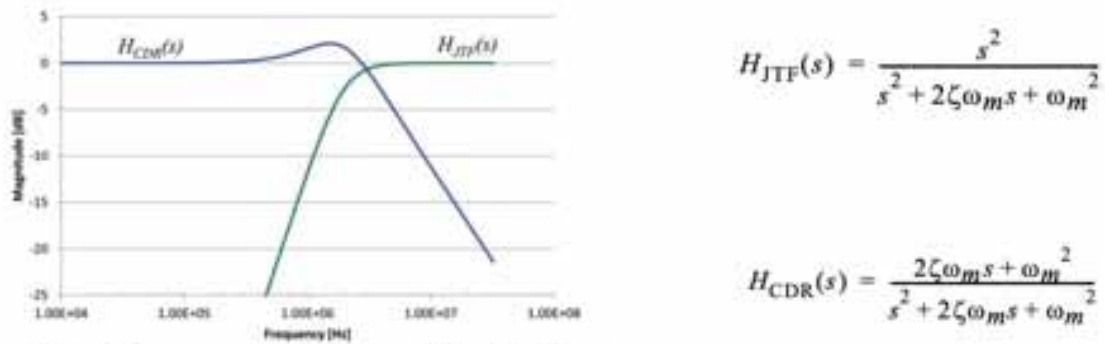


图 32. M-TX 环路响应及抖动传递函数示例

同时在 HS-G3 及以上速率上，M-PHY 允许采用去加重的均衡方式，如下图所示，当然在 HS-G1 及 HS-G2 上也可以支持发射机的去加重以方便在更长的信道上进行传输：

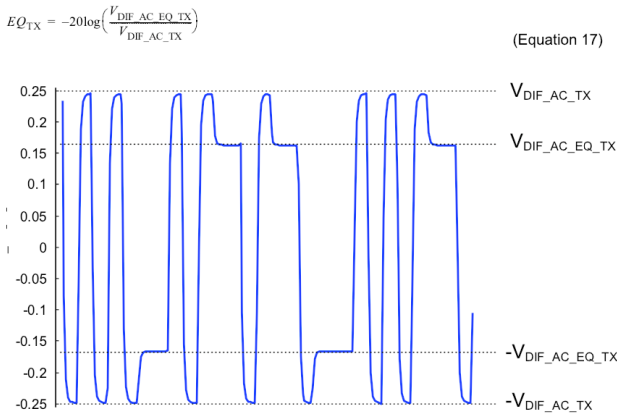


图 33. M-TX 在 HS-G3 以上支持去加重的发射机均衡

在 HS-TX 发射机测试中也定义了眼图测试， $T_{EYE\_TX}$ ，在指定的测试码型以及指定的参考负载下进行测试。眼图的张开程度  $T_{EYE\_TX}$ 、差分电压摆幅  $V_{DIF\_AC\_TX}$  以及总体抖动  $T_{J_{TX/2}}$  共同定义了眼图模版。同样，随着速率的提高，在 HS-G3 及更高速率，眼图的张开程度测量除了  $T_{EYE\_TX}$  在指定码型和负载加进行测试以外，还需要引入参考信道 CH1 和 CH2 并配合上芯片的参考封装及参考信道均衡器来衡量眼图的张开程度。

在 M-PHY HS-G3 及以上速率中定义的参考均衡器包含了 CTLE 以及 1-Tap 的 DFE，其中 CTLE 均衡最大可达 12dB 的增益。对应的不同 Gear 的眼图模版示例如下图所示，需要注意的是眼图的累积需要达到目标误码率  $10^{-12}$  水平，也就是在实际测试中除了采集到的数据外，还需要外推至指定误码率下的眼图张开情况再进行模版测试。

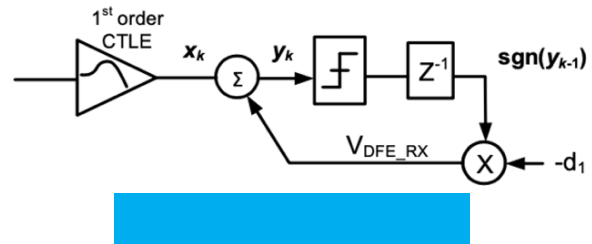
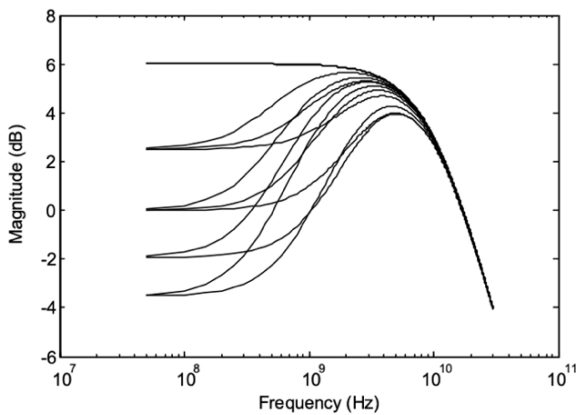


图 34. M-PHY 参考接收机均衡

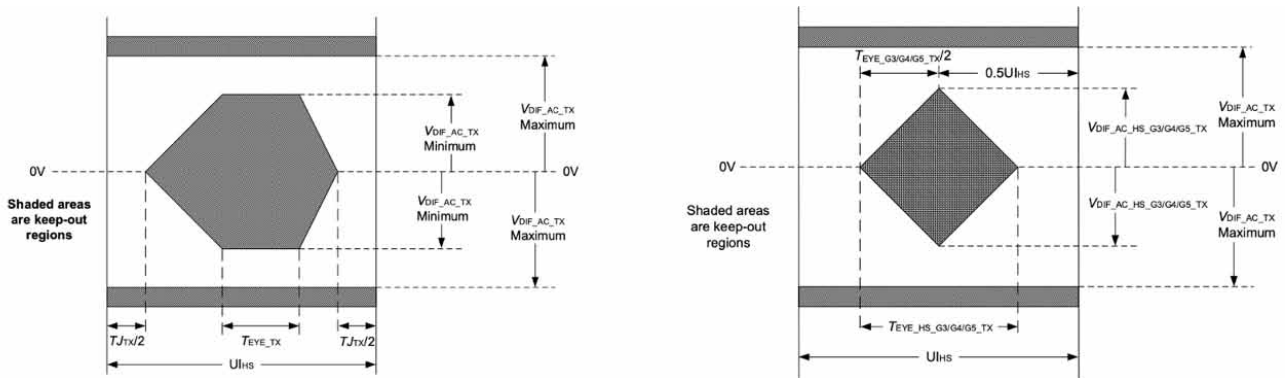


图 35. M-TX 不同 Gear 速率下眼图模版

同时 M-PHY 的发射机测试也关心功率谱密度 PSD 的测试，虽然在一致性测试规范 CTS 中仅作为 informative 测量项，但是在实际应用中有一定的参考意义。其中 HS-TX 的共模干扰频谱结果与 M-TX

lane 内的定时时延 (skew) 以及差分信号之间的增益不平衡相关。而对 Slew Rate 进行有效的控制可以降低 HS-TX 的 EMI 干扰。但共模的频谱干扰仅对 Type-II 的发射机以及 HS-G1 有限定。

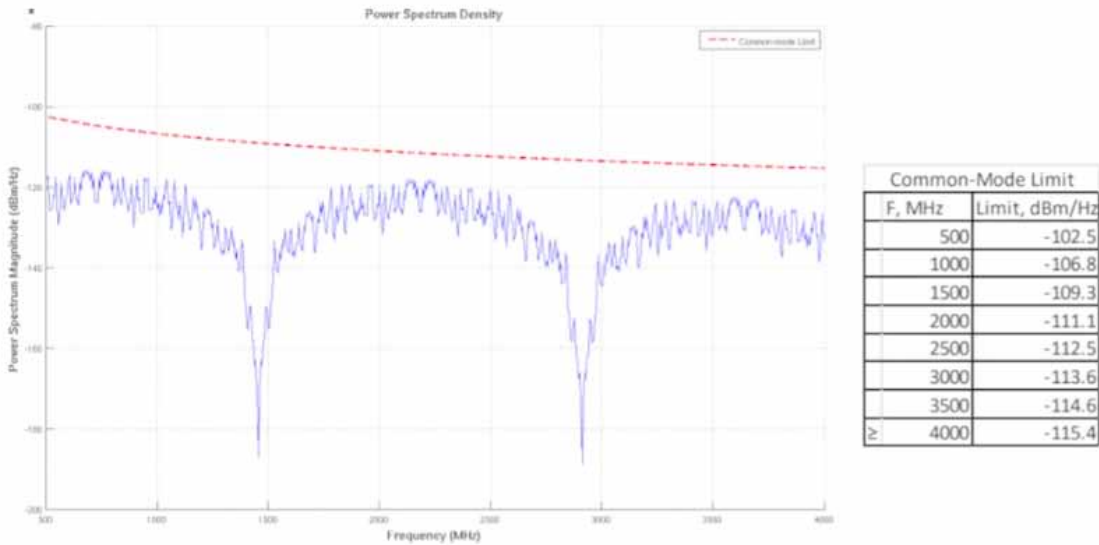


图 36. M-TX 共模功率谱密度限制

当然 M-PHY 除了对 HS-TX 有测试要求以外，也对 PWM 以及 SYS 的低速信号有电气测试要求，除了上升、下降时间以及 Lane-to-Lane Skew 以外，针对不同的信号特点有自有的测试要求。

在 PWM 低速传输中，因为采用了不同的正向脉宽宽度来表示不同的数据比特，所以对其中的 PWM 比特持续时间、容差以及正负向脉宽比值有要求，如下图所示：

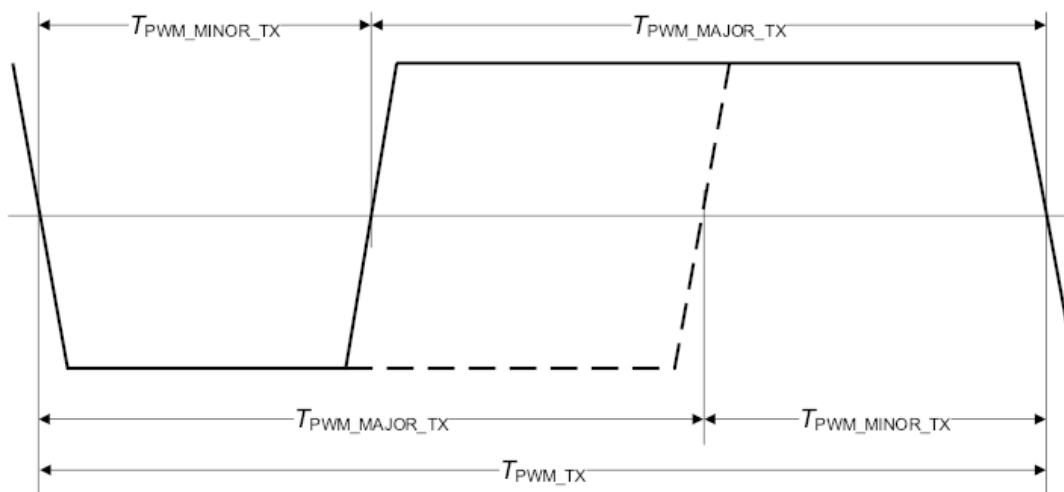


图 37. PWM 信号时间相关测试

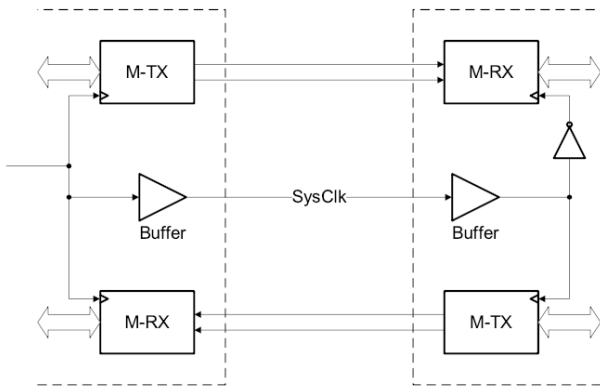


图 38. SYS 时钟架构示例

对于 SYS-TX 信号来说，其采用了同步时钟来进行数据传输，因此在 SYS-BURST 模式下要进行数据与参考时钟之间的时延测试。但是在 M-PHY 标准中并没有具体对时钟的参数进行定义，而是由采用了 M-PHY 进行底层传输的标准来定义。

考虑到 M-PHY 的发射机测试测试的种类和形式繁多，泰克提供了 TekExpress MPHY40/50 自动化测试软件来应对上面描述的种种测试挑战：

- 信号种类可能包含了 PWM、SYS 以及 HS-TX 多种信号类型
- 信号速率涵盖了不同 Type 的不同 Gear 中 A/B 等多种速率
- HS-TX 中需要外推至 10<sup>-12</sup> 误码率水平下的眼图模版
- 测试信号包含了单端、差分等多种测试要求。
- 更高速率的眼图测试中需要引入参考信道和参考接收机均衡，包含 CTLE、DFE 等

如下图，软件支持多种不同速率、幅度、信号类型的测试要求和选择，并且支持在线及离线波形分析，适合不同区域、职能团队进行数据的协作分析：

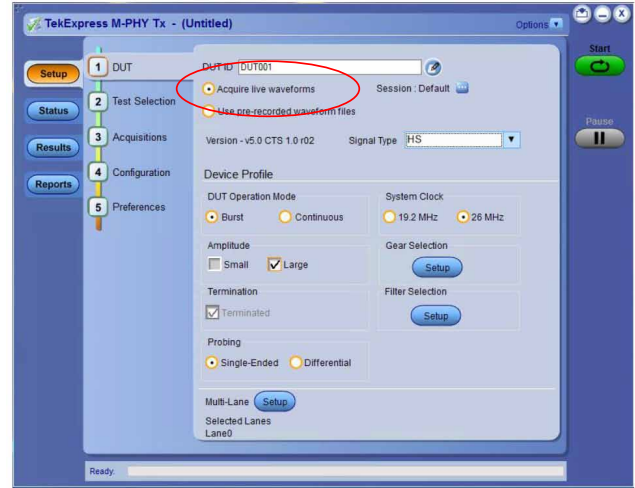


图 39. 泰克 M-PHY Tx 测试软件设置页面

泰克自动化测试软件通过简单快捷的五步操作完成对软件的设置，同时还提供了很大的灵活度方便不同的客户需求，比如快捷的测量项目和测试速率选择、自定义的信道甚至均衡滤波器的引入、各个测试项的测试设置、自定义眼图模版导入等等，使得客户在不同的应用场景以及产品研发的不同阶段可以进行不同程度的测试和调试。

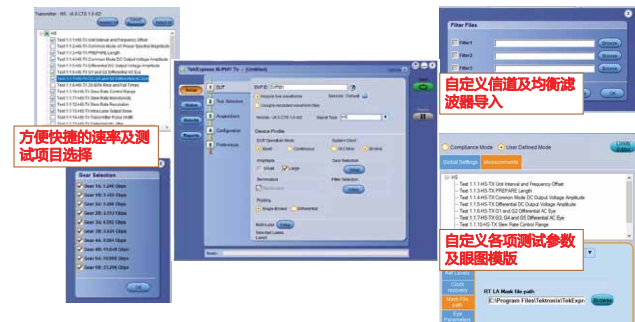


图 40. 灵活的 M-PHY 测试软件

同时整个测试方案还支持单端、差分等不同测试连接、并可采用泰克的 Trimode 三模探头 P76xx 或者 P77xx 系列进行灵活的连接：

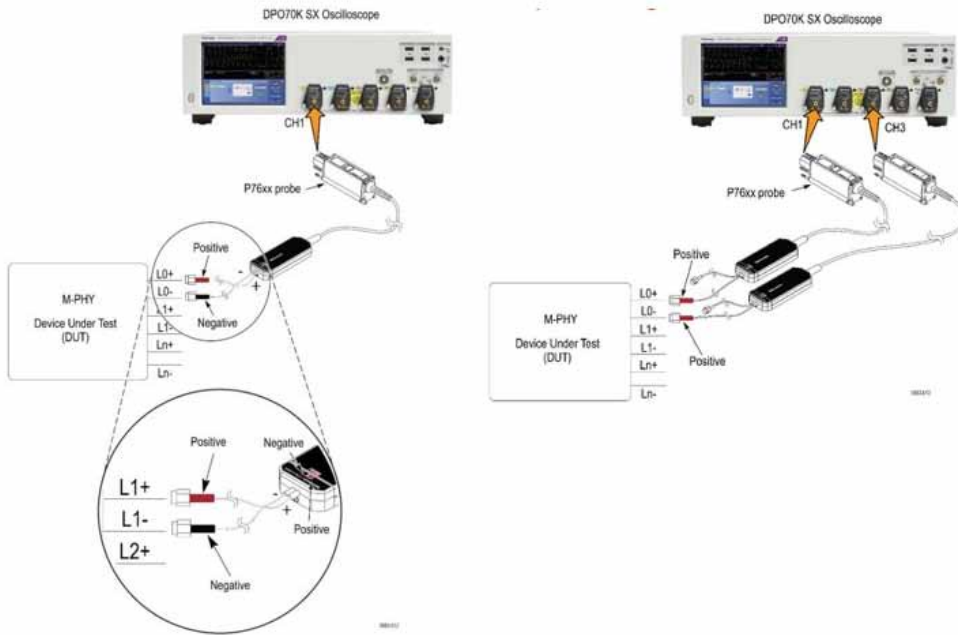


图 41. M-PHY Tx 灵活的连接方式部分示例

除了一致性软件以外，泰克的 M-PHY 解决方案还包含了功能强大的调试工具 SDLA 软件以及抖动与眼图分析软件 DPOJET，使得客户可以在调试的时候直接采用自动化测试软件背后的这些工具进行更为灵活的均衡、信道模拟、眼图和抖动分析与推算：

图 42. 灵活的抖动眼图及链路模拟工具包

对于 M-PHY 的整体测试方案，由泰克 MSO/DPO70000 DX/SX 示波器、探头以及整个测试套件构成，大致的测试方案构成如下所示：

Gear	23GHz	25Ghz	33GHz
G1-G3			
G4			
G5			
HS Gear5 /HS Gear4.1			
Group	HS Gear5	HS Gear4.1	
<b>HW</b>	Scope ≥33GHz DX/SX	Scope ≥25GHz DX/SX	
	P7633 Probes (2)	P7625 Probes (2)	
	P76CA-292C(2 nos) or P76CA-292(2 nos)	P76CA-292C(2 nos) or P76CA-292(2 nos)	
<b>SW</b>	TekExpress MPHY50	TekExpress MPHY40	
	DPOJET	DPOJET	
	SDLA	SDLA	

图 43. 泰克 M-PHY40/50 自动化测试方案大致构成

总的来说，泰克的 M-PHY 自动化测试方案覆盖了最新的 M-PHY50 测试标准，解决工程师灵活的测试需求，让工程师在进行 M-PHY 测试过程中降低学习、使用成本，并具备优异的调试能力，使得产品在最短的时间内得到完善的设计、测试和投放。



泰克官方微信

**如需所有最新配套资料，请立即与泰克本地代表联系！**

**或登录泰克公司中文网站：[www.tek.com.cn](http://www.tek.com.cn)**

**泰克中国客户服务中心全国热线：400-820-5835**

**泰克科技(中国)有限公司**

上海市浦东新区川桥路1227号  
邮编：201206  
电话：(86 21) 5031 2000  
传真：(86 21) 5899 3156

**泰克北京办事处**

北京市朝阳区酒仙桥路6号院  
电子城·国际电子总部二期  
七号楼2层203单元  
邮编：100015  
电话：(86 10) 5795 0700  
传真：(86 10) 6235 1236

**泰克上海办事处**

上海市长宁区福泉北路518号  
9座5楼  
邮编：200335  
电话：(86 21) 3397 0800  
传真：(86 21) 6289 7267

**泰克深圳办事处**

深圳市深南东路5002号  
信兴广场地王商业大厦3001-3002室  
邮编：518008  
电话：(86 755) 8246 0909  
传真：(86 755) 8246 1539

**泰克成都办事处**

成都市锦江区三色路38号  
博瑞创意成都B座1604  
邮编：610063  
电话：(86 28) 6530 4900  
传真：(86 28) 8527 0053

**泰克西安办事处**

西安市二环南路西段88号  
老三届世纪星大厦26层L座  
邮编：710065  
电话：(86 29) 8723 1794  
传真：(86 29) 8721 8549

**泰克武汉办事处**

武汉市洪山区珞喻路726号  
华美达大酒店702室  
邮编：430074  
电话：(86 27) 8781 2760

**泰克香港办事处**

香港九龙尖沙咀弥敦道132号  
美丽华大厦808-809室  
电话：(852) 3168 6695  
传真：(852) 2598 6260

更多宝贵资源，敬请登录：[WWW.TEK.COM.CN](http://WWW.TEK.COM.CN)

© 泰克科技版权所有，侵权必究。泰克产品受到美国和其他国家已经签发及正在申请的专利保护。本资料中的信息代替此前出版的所有材料中的信息。本文中的技术数据和价格如有变更，恕不另行通告。TEKTRONIX 和 TEK 是泰克科技公司的注册商标。本文中提到的所有其他商号均为各自公司的服务标志、商标或注册商标。

05/2022

